

Japan s Publication for Utility Model Application

No. 8055/1990 (Jitsukaihei 2-8055)

A. Relevance of the above-identified Document

This document has relevance to claims 1 through 11 of the present application.

B. Translation of the Relevant Passages of the Document

[CLAIMS]

A thin film photosenser which includes a sensor thin film transistor and a switching thin film transistor both of which are formed on a surface of a substrate, a drain electrode of said sensor thin film transistor and a source electrode of said switching thin film transistor being connected with each other via a connecting electrode which is integrated with both the drain and source electrodes, a drain of said sensor thin film transistor being connected with a capacitor, comprising:

a capacitor electrode which faces said connecting electrode,

said capacitor electrode being integrated with a gate electrode of said sensor thin film transistor,

the gate electrode and a source electrode of said sensor thin film transistor being connected with each other.

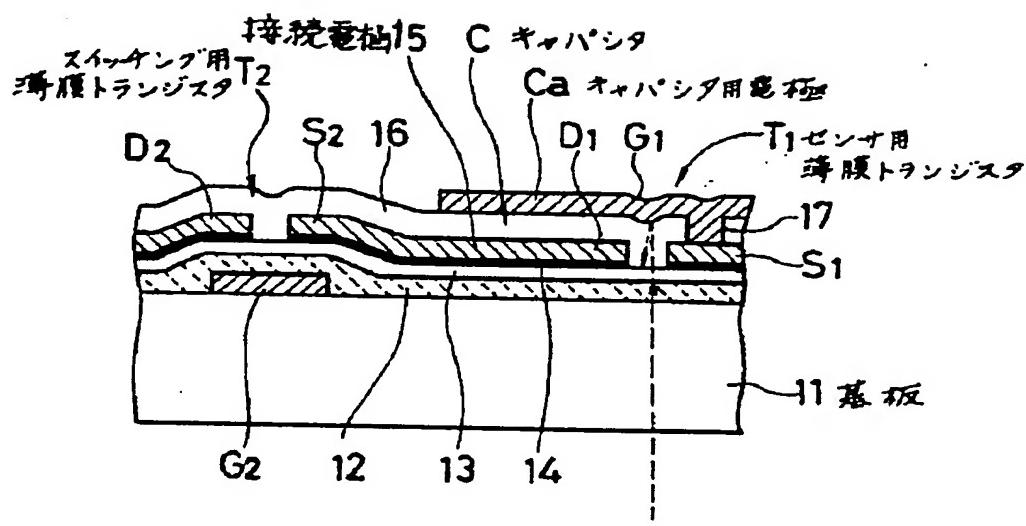


[DETAILED DESCRIPTION OF THE UTILITY MODEL]

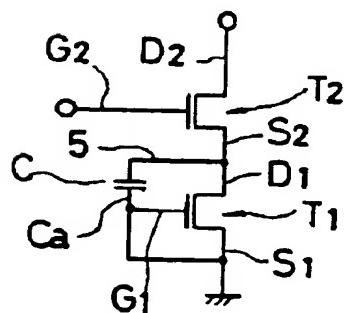
[EMBODIMENTS]

This image sensor is driven in the following manner. First, for initialization, the reset transistor 21, the data line selecting transistor 20, and the switching transistors T_2 of all the optical sensors are turned on so as to charge up the capacitors C of all the optical sensors to respectively have a power supply voltage V_{DD} . Next, a photo shutter (not shown) provided on an incident surface side of the image sensor is opened for carrying out imaging. Here, when the sensor transistor T_1 of the photosensor receives light, a photocurrent in accordance with the intensity of light flows the sensor transistor T_1 so as to discharge the capacitor C . Then, when the photo shutter is shut, the capacitor C stops discharging. Next, by sequentially selecting the address lines AL_1, AL_2, \dots , and the data lines DL_1, DL_2, \dots , so as to sequentially turn on the switching transistors T_2 of the respective photosensors, data signals corresponding to inter-terminal voltages of the capacitors C of the respective photosensors are read out to a data output line OUT via the data line selecting transistor 20. The data signals are then amplified by a CMOS amplifier, etc., so as to be output.

[DRAWINGS]**[FIG. 1]****T₂: switching thin film transistor****15: connecting electrode****C: capacitor****Ca: capacitor electrode****T₁: sensor thin film transistor****11: substrate****[FIG. 2]**



第 1 図



第 2 図

582

出願人 第 55
カシオ計算機株式会社
代理人 鈴江武彦



公開実用平成2-8055

④日本国特許庁(JP)	①実用新案出願公開
②公開実用新案公報(U)	平2-8055
⑤Int.Cl. ¹ H 01 L 27/146 31/01	識別記号 施設登録番号 7514-5F
	⑥公開 平成2年(1990)1月18日
考案の名称 薄膜光センサ	1. 考案の名称 薄膜光センサ
⑦著者 神原 勲 ⑧代理人 カシオ計算機株式会社 弁理士 鈴江 武彦	2. 実用新案登録請求の範囲 基板面上にセンサ用薄膜トランジスタとスイッチング用薄膜トランジスタとを形成するとともに、前記センサ用薄膜トランジスタのドライン電極と前記スイッチング用薄膜トランジスタのソース電極とをこの両電極と一体の接続電極を介して接続し、かつ前記センサ用薄膜トランジスタのドラインにキャバシタを接続した薄膜光センサにおいて、前記接続電極と対向させてキャバシタ用電極を配置し、このキャバシタ用電極を前記センサ用薄膜トランジスタのゲート電極と一体の電極とともに、前記センサ用薄膜トランジスタのゲート電極とソース電極とを接合したことを特徴とする薄膜光センサ。
⑨実用新案登録請求の範囲 ⑩出願日 昭63(1988)6月24日 ⑪考案者 神原 勲 東京都八王子市石川町2851番地の5 カシオ計算機株式会社八王子研究所 ⑫出願人 カシオ計算機株式会社 東京都新宿区西新宿2丁目6番1号 ⑬代理人 弁理士 鈴江 武彦 外2名	3. 考案の詳細な説明 〔産業上の利用分野〕 本考案は薄膜光センサに関するものである。

- 1 -

564

実2-8055

(従来の技術)

最近、イメージセンサ等を構成する光センサとして、薄膜トランジスタを用いた薄膜光センサが開発されている。

第5図および第6図はそれぞれ従来の薄膜光センサを示している。

まず、第5図の薄膜光センサについて説明すると、図中1は透明基板(ガラス基板)、T₁は光を受けて動作するセンサ用薄膜トランジスタ(以下センサトランジスタという)、T₂は光センサの選択動作を行なうスイッチング用薄膜トランジスタ(以下スイッチングトランジスタという)であり、T₁、T₂はいずれも逆スタガー構造のものとされている。この光センサは、基板1面にセンサトランジスタT₁およびスイッチングトランジスタT₂のゲート電極G₁、G₂とキャバシタ用電極C_aを形成し、その上にゲート絶縁膜2と1-a-S₁半導体層3を積層形成するとともに、この半導体層3の上にn⁺-a-S₁コンタクト層4を介して、センサトラン

ジスタT₁のソース、ドレン電極S₁、D₁と、スイッチングトランジスタT₂のソース、ドレン電極S₂、D₂とを形成したもので、センサトランジスタT₁のドレン電極D₁とスイッチングトランジスタT₂のソース電極D₂とは、この両電極D₁、S₂と一体の接続電極5を介して接続されている。また、この接続電極5は、ゲート絶縁膜2および半導体層3を介して前記キャバシタ用電極C_aと対向しており、この接続電極5とキャバシタ用電極C_aとの間は、電荷を充放電するキャバシタCとされている。6は上記トランジスタT₁、T₂の上に形成された透明絶縁膜である。また、7はセンサトランジスタT₁の側面に形成されたスリット状の光取入れ開口であり、透明基板1を通して入射する光は、破線で示すように上記開口7から取入れられ、透明絶縁膜6上に形成した反射膜8で反射されて、センサトランジスタT₁のチャンネル部(半導体層3)に入射するようになっている。

また、第6図に示した薄膜光センサは、第5図

の薄膜光センサにおける光吸入れ開口7と反射膜8とをなくして、透明導電膜6面側から光を受けようとしたもので、センサトランジスタT₁およびスイッチングトランジスタT₂とキャバシタCは、第5図の薄膜光センサと同一の構成となっている。なお、この薄膜光センサは透明導電膜6面側から光を受けるものであるために、基板1は透明でなくともよい。また、この薄膜光センサでは、透明導電膜6面側から入射する光がスイッチングトランジスタT₂のチャンネル部に入射してこのスイッチングトランジスタT₂を駆動させるのを防ぐために、透明導電膜6面に、スイッチングトランジスタT₂のチャンネル部に対向させて遮光膜9を形成している。

第7図は第5図および第6図に示した薄膜光センサの等価回路を示している。

この薄膜光センサは、センサトランジスタT₁が受光する光の強度に応じたデータ信号をスイッチングトランジスタT₂のドライン電極D₂から出力するもので、接続電極5とキャバシタ用電極

C₂との間に構成したキャバシタCに電荷をチャージし、光センサの入射面側に配置した光シャッタ（図示せず）を開いて入射光をセンサトランジスタT₁に受光させると、このセンサトランジスタT₁に光強度に応じた光電流が流れキャバシタCが放電し、次いで光シャッタを閉じるとキャバシタCの放電が停止する。このキャバシタCの端子間電圧は、スイッチングトランジスタT₂をオンさせることによって、このスイッチングトランジスタT₂のドライン電極D₂からデータ信号として読み出される。

〔考案が解決しようとする課題〕
しかしながら、上記第5図および第6図に示した従来の薄膜光センサは、第7図のような等価回路を構成するものであるために、センサトランジスタT₁のゲート電極G₁ヒソース電極S₁、各端子と、スイッチングトランジスタT₂のゲート電極G₂とドライン電極D₂の各端子と、およびキャバシタ用電極C₂の端子との5つの端子の電圧を制御する必要があり、したがって駆動が複雑

であるという問題をもっていた。

本考案は上記のような実情にかんがみてなされたものであって、その目的とするところは、端子数を少なくして駆動を容易にした薄膜光センサを提供することにある。

〔課題を解決するための手段〕

本考案は上記目的を達成するために、センサ用薄膜トランジスタのドレイン電極との接続電極と対向してキャバシタを構成するキャバシタ用電極をセンサ用薄膜トランジスタのゲート電極と一緒に形成するとともに、センサ用薄膜トランジスタのゲート電極とソース電極とを接合したものである。

〔作用〕

すなわち、本考案の薄膜光センサは、キャバシタ用電極をセンサ用薄膜トランジスタのゲート電極と一緒に形成するとともにセンサ用薄膜トランジスタのゲート電極とソース電極とを接合することによって、キャバシタの一方の端子とセンサ

用薄膜トランジスタのゲート電極およびソース電極の端子を1つに共通接続したものであり、このようにすれば、光センサの端子数を、上記端子と、スイッチング用薄膜トランジスタのゲート電極およびドレイン電極の各端子との3つだけにすることができるから、本考案の薄膜光センサによれば、端子数を少なくして駆動を容易にすることができる。

〔実施例〕

以下、本考案の薄膜光トランジスタについてその一実施例を第1図および第2図を参照し説明する。

第1図は薄膜光トランジスタの断面を示したもので、図中T₁は透明基板(ガラス基板)、T₂はセンサ用薄膜トランジスタ(以下センサトランジスタという)、T₃はスイッチング用薄膜トランジスタ(以下スイッチングトランジスタという)であり、センサトランジスタT₁はコプラナー構造とされ、スイッチングトランジスタT₂は逆スカラ構造とされている。この光センサは、基板

11面にスイッチングトランジスタ T_2 のゲート電極 G_2 を形成し、その上にセンサトランジスタ T_1 およびスイッチングトランジスタ T_2 の形成領域全体にわたって透明なゲート絶縁膜 12 と $1-a-S_1$ 半導体層 13 とを積層形成するとともに、この半導体層 13 の上に $n^+ - a - S_1 -$ コントакト層 14 を介して、センサトランジスタ T_1 のソース、ドレイン電極 S_1 、 D_1 と、スイッチングトランジスタ T_2 のソース、ドレイン電極 S_2 、 D_2 とを形成し、さらにその上に透明絶縁膜 16 を形成して、この透明絶縁膜 16 の上に、センサトランジスタ T_1 のゲート電極 G_1 を形成したもので、センサトランジスタ T_1 のドレイン電極 D_1 と選択トランジスタ T_2 のソース電極 D_2 とは、この両電極 D_1 、 S_2 と一体の接続電極 15 を介して接続されている。また、上記センサトランジスタ T_1 のゲート電極 G_1 は、前記接続電極 15 の上方にこの接続電極 15 と所定の面なり長さをもつて対向するように延長させて形成されており、このゲート電極 G_1 延長部は、透明

絶縁膜 16 を介して接続電極 15 と対向してこの接続電極 15 との間にキャバシタ C_8 を構成するキャバシタ用電極 C_8 とされている。さらに、センサトランジスタ T_1 のゲート電極 G_1 は、上記透明絶縁膜 16 に設けたコントакト孔 17 においてセンサトランジスタ T_1 のソース電極 S_1 に接合され、このソース電極 S_1 と導通接続されている。この薄隕光センサは、センサトランジスタ T_1 が受光する光の強度に応じたデータ信号をスイッチングトランジスタ T_2 のドレイン電極 D_2 から読み出すもので、基板 11 側から第 1 回に破線で示すように入射する光は、透明ゲート電極 12 を透過してセンサトランジスタ T_1 のチャンネル部（半導体層 13 ）に入射し、またこのチャンネル部を透過した光は、透明絶縁膜 16 を通してゲート電極 G_1 で反射され、再びチャンネル部に入射する。

しかして、上記薄隕光センサにおいては、キャバシタ用電極 C_8 をセンサトランジスタ T_1 のゲート電極 G_1 と一体の電極とともに、セン

発明

サトランジスタ T_1 のゲート電極 G_1 をソース電極 S_1 に接合接続しているから、キャバシタ C の一方の端子とセンサトランジスタ T_1 のゲート電極 G_1 およびソース電極 S_1 の端子を、1つの端子に共通接続することができる。

第2図は上記薄膜光センサの通過回路を示したもので、この光センサの端子数は、キャバシタ C の一方の端子とセンサトランジスタ T_1 のゲート電極 G_1 およびソース電極 S_1 の端子を共通接続した1つの端子（接地端子）と、スイッチングトランジスタ T_2 のゲート電極 G_2 およびドレイン電極 D_2 の各端子との3つだけである。したがって、上記薄膜光センサによれば、その端子数を少なくして駆動を容易にすることができる。

すなわち、第3図は上記薄膜光センサを縦横に配列したイメージセンサの回路を示したもので、上記薄膜光センサはその端子が3つだけであるから、キャバシタ C の一方の端子とセンサトランジスタ T_1 のゲート電極 G_1 およびソース電極 S_1 の端子を共通接続した端子を接地ライン（図示せ

ず）に接続し、スイッチングトランジスタ T_2 のゲート電極 G_2 をアドレスライン $AL_1, AL_2 \dots$ に接続し、スイッチングトランジスタ T_2 のドレイン電極 D_2 をデータライン $DL_1, DL_2 \dots$ に接続するだけでイメージセンサを構成することができる。なお、上記接地ラインは、センサトランジスタ T_1 のソース電極 S_1 と一体に形成され、アドレスライン $AL_1, AL_2 \dots$ およびデータライン $DL_1, DL_2 \dots$ は、それぞれスイッチングトランジスタ T_2 のゲート電極 G_2 およびドレン電極 D_2 と一体に形成されている。また、各データライン $DL_1, DL_2 \dots$ はそれぞれ、データライン選択トランジスタ 20 を介してデータ出力ライン OUT に接続されている。そして、データライン選択トランジスタ 20 は、データ選択ライン $DS_1, DS_2 \dots$ からのデータライン選択信号によってスイッチング動作する。また、第3図において、21はリセットトランジスタであり、このリセットトランジスタ 21 およびデータライン選択トランジスタ 20 もそれぞれ薄膜トランジス

タとされている。

このイメージセンサは次のようにして駆動される。まず、初期化として、リセットトランジスタT₂とデータライン選択トランジスタ20および21とデータライン選択トランジスタT₂をオシさせ、全ての光センサのキャパシタCを電源电压V_{dd}までチャージアップさせる。次に、イメージセンサの入射面側に配置した光シャッタ（図示せず）を開いて撮像する。このとき、光センサのセントランジスタT₁が受光すると、このセントランジスタT₁に光強度に応じた光電流が流れ、キャパシタCが放電し、次いで光シャッタを閉じるとキャパシタCの放電が停止する。次に、アドレスラインAL₁、AL₂…とデータラインDL₁、DL₂…を順次選択して各光センサのスイッチングトランジスタT₂を順次オンさせると、各光センサのキャパシタCの端子間電圧に応じたデータ信号が、データライン選択トランジスタ20を介してデータ出力ラインOUTに読み出され、CMOSアンプ等により增幅されて出

力される。なお、第3図には光センサを縦間に配列したエリアイメージセンサを示したが、上記薄膜光センサを1列に配列すれば、ラインイメージセンサを構成することができます。

このように、上記薄膜光センサは、その端子数が少ないから、その駆動は容易である。しかも、上記実施例では、センサトランジスタT₁をコブラー構造とし、スイッチングトランジスタT₂を逆スターが一構造としているから、スイッチングトランジスタT₂のゲート電極T₂が、基板11側から入射する光を遮ることになり、したがって別に遮光膜を設けなくても、スイッチングトランジスタT₂が光によって駆動作するのを防ぐことができる。さらに、上記実施例の光センサでは、基板11側から第1図に破線で示すように入射する光が、透明ゲート電極T₂を通過するだけでセンサトランジスタT₁のチャンネル部に入射するから、第5図に示した従来の薄膜光センサのように入射光を反射膜で反射させてセンサトランジスタに受光させる場合に比べて光のロスを少くす

ることができ、したがって感度においても優れています。またセンサトランジスタT₁のチャンネル部を通過した光も、ゲート電極G₁で反射され、再びチャンネル部に入射するために、第6図に示した従来の薄膜光センサよりもさらに感度を向上させることができます。また、上記薄膜光センサにおいては、キャバシタ用電極C₀をセンサトランジスタT₁のゲート電極G₁と一体の電極とするとともに、センサトランジスタT₁のゲート電極G₁をソース電極S₁に接合接続しているために、従来の薄膜光センサに比べてセンサトランジスタT₁とキャバシタC部との間を小さくして光センサの面積を小さくすることができます。この光センサを配列してイメージセンサを構成する場合は、各光センサの集成度を高くしてイメージセンサの解像度を向上させることができます。

なお、上記実施例では、基板1-1側から光を入射させる光センサについて説明したが、基板1-1側とは反対側から光を入射させるようにする場合は、センサトランジスタT₁を逆コプラナー構造

とし、スイッチングトランジスタT₂をスタガーモードとすればよい。さらに、本考案は、センサトランジスタT₁をコプラナー構造（または逆コプラナー構造）とし、スイッチングトランジスタT₂を逆スタガーモード（またはスタガーモード）とするものに限らず、センサトランジスタT₁を逆スタガーモード（またはスタガーモード）とし、スイッチングトランジスタT₂をコプラナー構造（または逆コプラナー構造）とする場合にも適用できるし、また、センサトランジスタT₁とスイッチングトランジスタT₂とを逆スタガーモードまたはスタガーモードとする場合にも適用できる。

第4図は、センサトランジスタT₁とスイッチングトランジスタT₂とをそれぞれ逆スタガーモードとした実施例を示したもので、この実施例の薄膜光センサは、基板1-1面上にセンサトランジスタT₁およびスイッチングトランジスタT₂のゲート電極G₁、G₂を形成し、かつセンサトランジスタT₁のゲート電極G₁を延長させてこの延長部をキャバシタ用電極C₀とともに、その

上にゲート絶縁層12と1-a-S1半導体層13を積層形成し、この半導体層13の上にn+ -a-S1コントラクト層14を介して、センサトランジスタT₁のソース、ドレイン電極S₁、D₁と、スイッチングトランジスタT₂のソース、ドレイン電極S₂、D₂とを形成したもので、センサトランジスタT₁のドレイン電極D₁とスイッチングトランジスタT₂のソース電極D₂とは、この両電極D₁、S₂と一体の接続電極15を介して接続されており、この接続電極15はゲート絶縁層12および半導体層13を介して前記キャバシタ用電極C_aと対向してこの間にキャバシタCを構成している。また、センサトランジスタT₁のソース電極S₁は、ゲート絶縁層12と半導体層13に設けたコントラクト孔18においてセンサトランジスタT₁のゲート電極G₁と接合されている。なお、16は透明絶縁膜、19はスイッチングトランジスタT₂のチャンネル部に對向させて形成された遮光膜である。

この実施例の薄膜光センサにおいても、キャバ

シタ用電極C_aをセンサトランジスタT₁のゲート電極G₁と一体の電極とするとともに、センサトランジスタT₁のゲート電極G₁とソース電極S₁とを接合しているから、キャバシタCの一方の端子とセンサトランジスタT₁のゲート電極G₁およびソース電極S₁の端子を1つの端子に共通接続することができ、したがって端子数は3つですむ。

(考案の効果)

本考案の薄膜光センサは、キャバシタ用電極をセンサ用薄膜トランジスタのゲート電極と一体の電極とするとともにセンサ用薄膜トランジスタのゲート電極とソース電極とを接合することによつて、キャバシタの一方の端子とセンサ用薄膜トランジスタのゲート電極およびソース電極の端子を1つに共通接続したものであるから、光センサの端子数を、上記端子と、スイッチング用薄膜トランジスタのゲート電極およびドライン電極の各端子との3つだけにすることができる、したがって本考案の薄膜光センサによれば、端子数を少なくし

て駆動を容易にすることができる。

4. 図面の簡単な説明

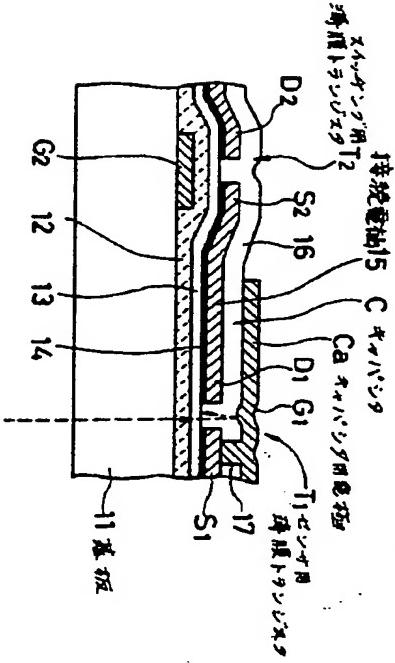
第1図および第2図は本考案の一実施例を示す
薄膜光センサの断面図およびその等価回路図、第
3図は本考案の薄膜光センサを用いたイメージセ
ンサの回路図、第4図は本考案の他の実施例を示す
薄膜光センサの断面図、第5図および第6図はそ
れぞれ従来の薄膜光センサの断面図、第7図は従
来の薄膜光センサの等価回路図である。

- 1 1 … 基板、T₁ … センサ用薄膜トランジスタ、
G₁ … ゲート電極、S₁ … ソース電極、D₁ … ド
レイン電極、T₂ … センサ用薄膜トランジスタ、
G₂ … ゲート電極、S₂ … ソース電極、D₂ … ド
レイン電極、1 2 … ゲート絶縁膜、1 3 … 半導体
層、1 4 … コンタクト層、1 5 … 接続電極、C_a
… キャパシタ用電極、C … キャパシタ、1 6 … 透
明絶縁膜。

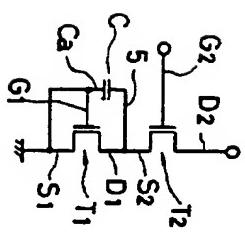
出願人代理人 幸理士 鈴江武彦

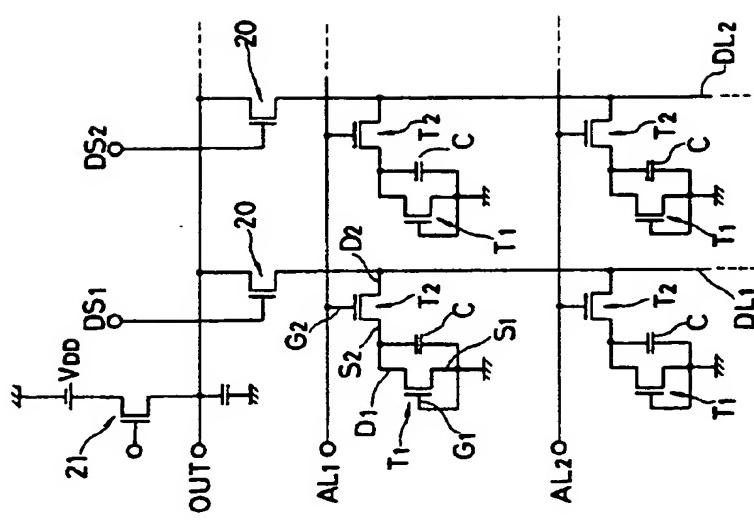
- 18 - 581

第1図



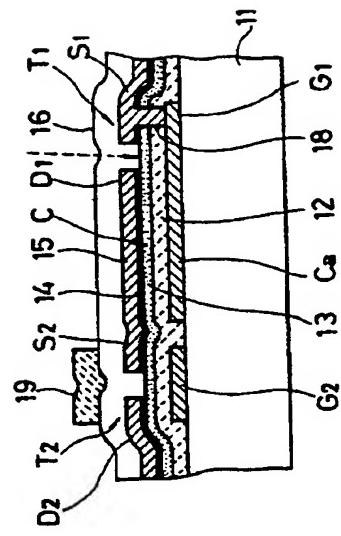
第2図





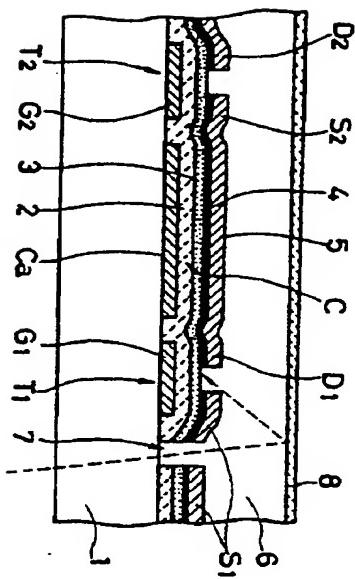
第3図

58.1
実用2-8055
出願人 カシオ計算機株式会社
代理人 鈴江武彦

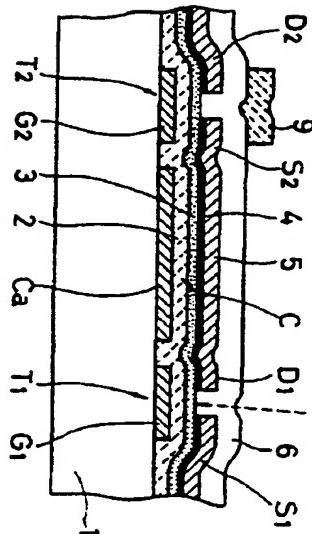


第4図

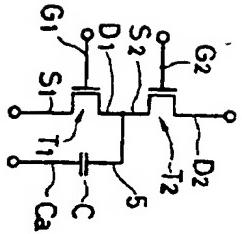
58.4
実用2-8055
出願人 カシオ計算機株式会社
代理人 鈴江武彦



第5図



第6図



第7図

5,855
実用2-8055

出願人 カシオ計算機株式会社
代理人 鈴江武彦